

中原大學工業與系統工程學系

109-1 學期

工業工程實習報告

愛普科技股份有限公司

班級導師：陳平舜 老師

企業導師：陳健綱 經理

鄭涵方 工程師

班級：工四丙

學號：10624230

姓名：曾 萱

中 華 民 國 一 ○ 九 年 九 月 十 七 日

目錄

圖目錄.....	IV
表目錄.....	VII
壹、 公司介紹.....	1
1-2 產品介紹.....	2
1-2-1 記憶體.....	2
1-2-2 產品封裝類別.....	3
貳、 IC 製程介紹.....	6
肆、 主題選定.....	13
伍、 專案計畫.....	14
陸、 現狀把握.....	15
6-1 5W1H.....	15
6-2 IC 封裝製程.....	16
柒、 專案目標.....	20
捌、 要因分析.....	21
8-1 問題分析.....	21
8-2 製程分析.....	21
8-2-1 生產歷程調查.....	21
8-2-2 再次驗證.....	22
8-2-3 切單程序分析.....	22
8-2-4 切單作業異常分析.....	24

8-3	要因分析.....	25
8-4	真因驗證.....	27
玖、	對策擬定.....	29
壹拾、	對策實施.....	30
壹拾壹、	效果確認.....	33
11-1	基板翹曲問題.....	33
11-2	印碼髒汙問題.....	34
壹拾貳、	結論.....	36
壹拾參、	實習心得與感想.....	37
13-1	專業成長.....	37
13-2	感想.....	37

圖目錄

圖 1 公司大門.....	1
圖 2 組織圖.....	2
圖 3 Wire bond 示意圖	4
圖 4 SOP8	4
圖 5 BGA	4
圖 6 BGA 示意圖	4
圖 7 Flip Chip 示意圖	5
圖 8 WLCSP 示意圖	5
圖 9 WLCSP	5
圖 10 IC 製程圖.....	6
圖 11 RDL Layout 量測截圖	8
圖 12 Extend pad	9
圖 13 Package outline drawing	9
圖 14 Wire bonding diagram.....	9
圖 15 蓋印規範.....	11
圖 16 RDL Layout.....	11
圖 17 封裝圖.....	12

圖 18 印碼髒污.....	13
圖 19 印碼髒污.....	13
圖 20 甘特圖.....	14
圖 21 印碼髒污.....	15
圖 22 印碼髒污.....	15
圖 23 印碼髒污.....	15
圖 24 公司外觀規範.....	15
圖 25 IC 封裝製程.....	16
圖 26 Wafer 研磨	16
圖 27 Wafer saw.....	17
圖 28 Wafer saw 示意圖	17
圖 29 Die bond.....	17
圖 30 Wire bond.....	18
圖 31 Wire bond 示意圖	18
圖 32 可能異常站點.....	21
圖 33 產品吸著示意圖.....	23
圖 34 對刀示意圖.....	23
圖 35 產品切割示意圖.....	23
圖 36 粉屑滲入示意圖.....	23

圖 37 產品清潔示意圖.....	24
圖 38 切割盤.....	24
圖 39 產品翹曲示意圖.....	25
圖 40 魚骨圖.....	25
圖 41 基板(one block)	26
圖 42 基板材料示意圖.....	26
圖 43 CTE 導致基板翹曲示意圖	26
圖 44 改善對策示意圖.....	27
圖 45 基板顛倒烘烤.....	28
圖 46 原始基板.....	29
圖 47 改善基板-1	29
圖 48 改善基板-2	29
圖 49 原始基板.....	32
圖 50 改善基板(1).....	32

表目錄

表 1 目標良率.....	20
表 2 生產紀錄表-1	21
表 3 生產紀錄表-2	22
表 4 烘烤後基板翹曲變化.....	28
表 5 基板材料 CTE 表	29
表 6 基板翹曲比較表.....	30
表 7 基板翹曲比較表.....	32
表 8 各站點翹曲值變化.....	34
表 9 產品驗證.....	35
表 10 良率比較表.....	35

壹、 公司介紹

1-1 公司簡介

愛普科技股份有限公司，成立於 2011 年 8 月 4 日，總部設在台灣新竹，是一家從事記憶體 IC 的研發、設計、製造與銷售之 IC 設計公司，公司為全球 Pseudo SRAM 記憶體晶片領導廠。

2016 年 5 月 31 日在台灣證券交易所(TWSE)上市，研發及銷售地點則遍佈全世界，包括：日本、美國和大中華地區。2016 年第四季起，透過收購計劃而逐步取得標準型記憶體供應商力積電子(股)公司之股權，進而使愛普科技之記憶體產品線更為全面且完整。至 2020 年 4 月，主要股東有貝里斯商 Yamaichi 與旗下山一投資合計持股 23.9%，宇惠投資持股 5.94%，力晶執行長黃崇仁持股 4.6%，以客戶為中心，依據客戶需求而提供標準型到完全客製化的各式記憶體產品。

自成立以來，愛普科技已經出貨了數十億顆各種記憶體產品，其中包括超過 50 億顆良裸晶粒（Known-Good-Die）。



圖 1 公司大門

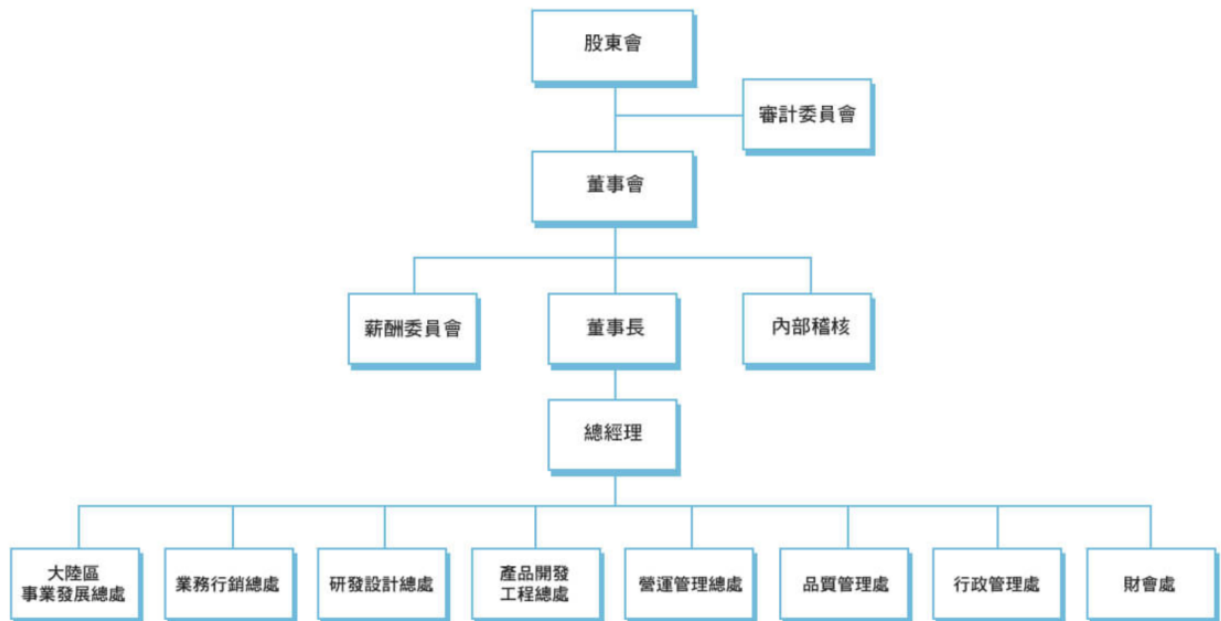


圖 2 組織圖

1-2 產品介紹

1-2-1 記憶體

1. SDRAM (同步動態隨機存取記憶體)

是有一個同步接口的動態隨機存取記憶體 (DRAM)。通常 DRAM 是有一個異步接口的，這樣它可以隨時回應控制輸入的變化。而 SDRAM 有一個同步接口，在回應控制輸入前會等待一個時脈訊號，這樣就能和電腦的系統匯流排同步。時脈被用來驅動一個有限狀態機，對進入的指令進行管線操作。這使得 SDRAM 與沒有同步接口的異步 DRAM 相比，可以有一個更複雜的操作模式。

2. DDR SDRAM (雙倍資料率同步動態隨機存取記憶體)

為具有雙倍資料傳輸率的 SDRAM，其資料傳輸速度為系統時脈的兩倍，由於速度增加，其傳輸效能優於傳統的 SDRAM。DDR SDRAM 在系統時鐘的上升沿和下降沿都可以進行資料傳輸。

3. PSRAM (偽靜態隨機存取記憶體)

由一個 DRAM 主體核心與傳統 SRAM 介面所組成。晶片上的刷新電路，可省略使用者需要記憶體刷新的考量。相對於傳統的 CMOS SRAM，PSRAM 具有更高容量，高速度，更小的晶片尺寸，以及與 DRAM 相容的優勢。

4. LPDDR(行動 DDR)

DDR 記憶體從 DDR、DDR2、DDR3 發展到 DDR4，頻率更高、電壓更低的同時卻也讓反應時間不斷變大，改變著記憶體子系統。而 DDR4 最重要的使命是提高頻率和頻寬，每個針腳都可以提供 2Gbps (256MB/s) 的頻寬，擁有高達 4266MHz 的頻率，記憶體容量最大可達到 128GB，執行電壓正常可降至 1.1V~1.2V。

相對於 DDR 記憶體，LPDDR 具有低功耗、高可靠性的特點，LPDDR 的執行電壓（工作電壓）相比 DDR 的標準電壓要低，從第一代 LPDDR 到如今，每一代 LPDDR 都使內部讀取大小和外部傳輸速度加倍。其中 LPDDR4 可提供 32Gbps 的頻寬，輸入/輸出介面資料傳輸速度最高可達 3200Mbps，電壓降到了 1.1V。

1-2-2 產品封裝類別

A. 傳統封裝

1. Wire bond(打線接合)

利用線徑 15-50 微米的金屬線材將晶片(chip)及導線架(lead frame)連接起來的技術，使微小的晶片得以與外面的電路做溝通，而不需要增加太多的面積，為最常見的接合技術。

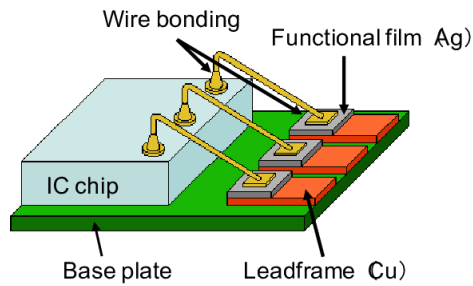


圖 3 Wire bond 示意圖

(1) SOP (Small Outline Package)

薄型小外形封裝是一種表面安裝 IC 封裝。他們是非常低調的，並有嚴格的引線間距。由於引腳數多且體積小，它們常用於 RAM 或閃存 IC。



圖 4 SOP8

(2) BGA (Ball Grid Array Package)

球柵陣列封裝，技術為應用在積體電路上的一種表面黏著封裝技術，此技術常用來永久性固定如微處理器之類的裝置。BGA 封裝能提供比其他如雙列直插封裝（Dual in-line package）或四側引腳扁平封裝（Quad Flat Package）所容納更多的接腳，整個裝置的底部表面可全作為接腳使用，而不是只有周圍可使用，比起周圍限定的封裝類型還能具有更短的平均導線長度，以具備更佳的高速效能。

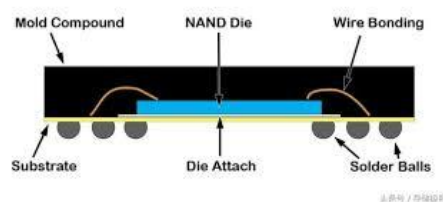


圖 5 BGA

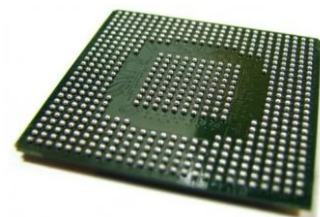


圖 6 BGA 示意圖

2. Flip Chip(覆晶接合技術)

覆晶接合為 IBM 於 1960 年代中首先開發而成，其技術乃於晶粒的金屬墊上生成鐳料凸塊，而於基版上生成與晶粒鐳料凸塊相對應的接點，接著將翻轉的晶粒對準基版上的接點，將所有點接合。覆晶接合具有最短連接長度、最佳電器特性、最高輸出接點密度，且能縮小 IC 尺寸，增加單位晶圓產能。

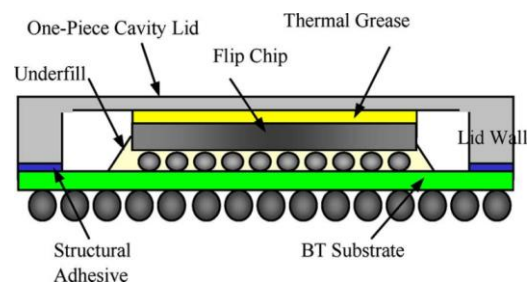


圖 7 Flip Chip 示意圖

B. 先進封裝

1. WLCSP (Wafer Level Chip Scale Packaging)

不同於傳統的芯片封裝方式（先切割再封測，而封裝後至少增加原芯片 20% 的體積），此種最新技術是先在整片晶圓上進行封裝和測試，然後才切割成一個個的 IC 顆粒，因此封裝後的體積即等同 IC 裸晶的原尺寸。WLCSP 的封裝方式，不僅明顯地縮小內存模塊尺寸，而符合行動裝置對於機體空間的高密度需求，另一方面在效能的表現上，更提升了數據傳輸的速度與穩定性。

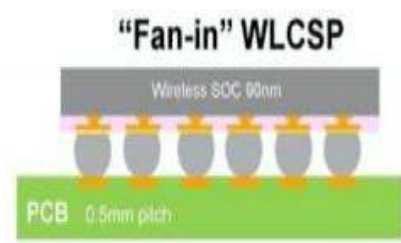


圖 8 WLCSP 示意圖

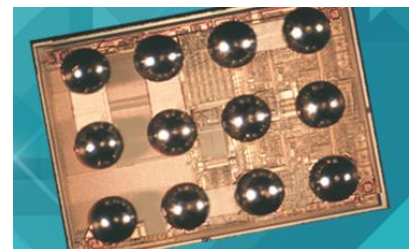


圖 9 WLCSP

貳、 IC 製程介紹

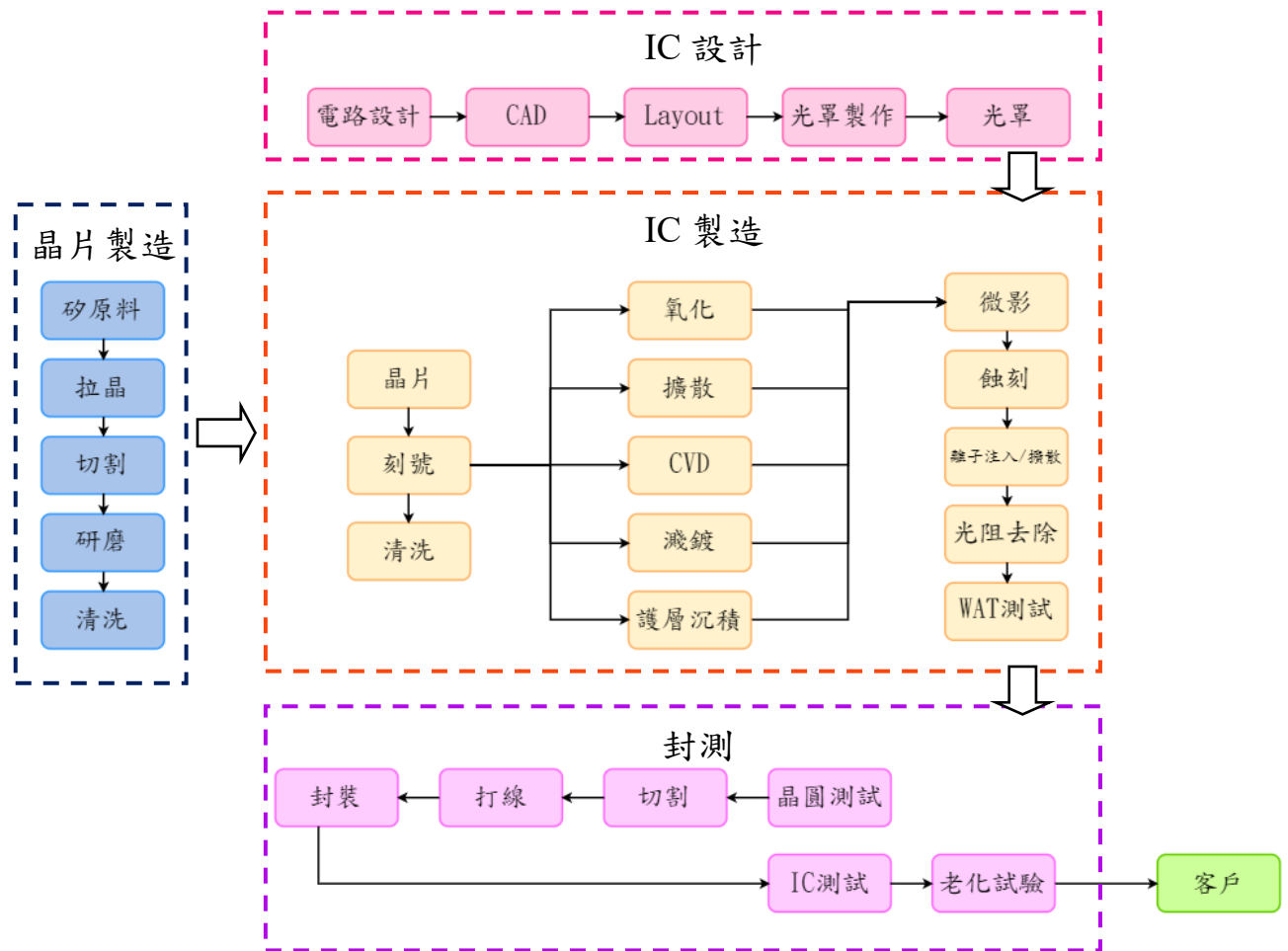


圖 10 IC 製程圖

- 晶片製造：

晶片用來製造 IC，製造流程主要有拉晶、切割、研磨、拋光和清洗。

- IC 設計：

IC 設計主要是設計電路，並把設計好的電路轉化為版圖。

- 光罩製作：

光罩製作是指將 IC 設計中心已設計好的電路版圖以同樣比例或減小比例轉化到一塊玻璃板上。

- IC 製造：

IC 製造指在單晶矽片上製作集成電路晶片，其流程主要有蝕刻、氧化、擴散/離子植入、化學氣相沉積薄膜和金屬濺鍍。擁有上述功能的公司一般稱晶圓代工廠。

- IC 封裝：

IC 封裝是指晶圓點測後對 IC 進行封裝，其流程主要有晶圓切割、黏晶、鐸線、封膠、印字和終測。

- IC 測試：

在產品銷售給客戶前，為了確保 IC 的質量，在 IC 封裝前（晶圓點測）或者封裝後（終測）要對其功能進行測試。

參、實習內容

第一週

當周目標：了解 IC 設計、認識半導體產業

工作內容：Layout database 整理、量測 Pad 到 die edge 最短距離

半導體是以往完全沒接觸過的，剛到公司從頭學起有點困難，第一周先了解 IC 製程、公司產品、學習 IC 設計、學會看懂 RDL Layout drawing，了解其原理，材料，規則及種類，運用 AutoCAD 幫忙量測 Pad 到 die edge 最短距離並且統整成 Excel table。

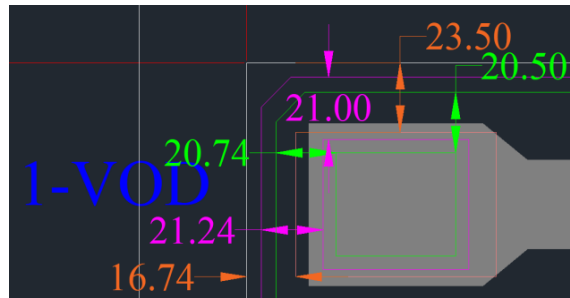


圖 11 RDL Layout 量測截圖

第二週

當周目標：熟悉 IC 設計規則、了解各種封裝技術與製程

工作內容：Layout database 整理、繪製 Extend Pad 及量測座標

第二周對於 IC 製程及公司產品、運作方式有了初步的了解，認識各種封裝技術，學習 IC Layout，運用 AutoCAD 繪製晶圓針測時所需要的 Extend Pad，及量測每個 Extend Pad 的座標、尺寸，加入上週製作的 table 中。

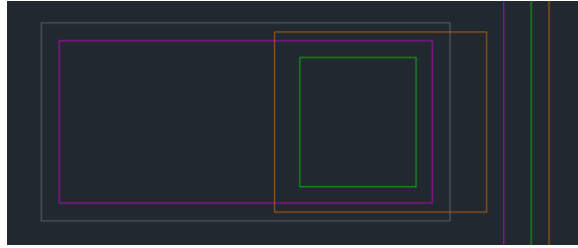


圖 12 Extend pad

第三週

工作內容：Package database 整理、參與專案改善

當周目標：認識 IC 封裝型態、熟悉 IC 製程、分析專案找出要因

第三周工作內容從 Layout 換到封裝部分，對於 IC 製程、設計更深入了解，認識不同種類的封裝型態，學會看 BOM 表、Substrate drawing、Wire bonding diagram 及 Package outline drawing，運用前幾個禮拜對於公司產品的了解，統整設計成 Excel table。

專案部分主管先大概講述目前遇到的問題，讓我們運用所學找出造成問題的原因。

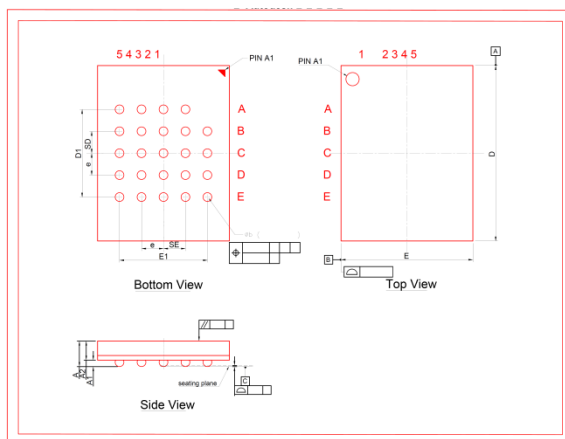


圖 13 Package outline drawing

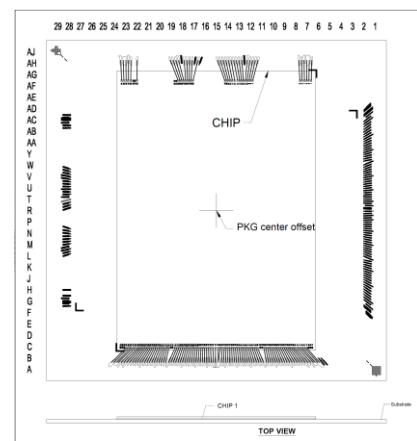


圖 14 Wire bonding diagram

第四週

工作內容：RDL Wire bond Pad 繪製、Final Test SWR 開立、參與專案改善

當周目標：將前幾周所學串聯統整、分析專案找出要因

第四周工作運用 AutoCAD 繪製 RDL Wire bond Pad 與 Substrate drawing 的對應位子，並且與主管討論如何擺放能讓 RDL 佈線更順暢，Wire bond 不打結。了解封裝後的測試 (Final Test)，開立 FT SWR(給 Final Test 測試端看的測試規範)。專案部分針對我們認為的要因，與主管討論是否為真因、能否進行改善。

第五週

工作內容：Final Test baseline (PSRAM)文件整理、參與專案改善

當周目標：了解 IC 測試、看懂測試程式並進行整理、對於專案要因進行真因驗證

第五周換到測試部門，運用之前 C++基礎，學會看測試程式，並且確認測試文件資料是否與程式內容一致，找錯並且改正。專案部分與主管討論後針對我們認為的要因，給外包商進行真因驗證，找出真因。

第六週

工作內容：Final Test baseline (LPDDR)文件整理、參與專案改善

當周目標：熟悉測試程式、擬定改善對策

第六周更加熟悉測試程式，整理效率也提高很多。專案的部分找到真因，對真因進行對策擬定。

第七週

工作內容：WLCSP RDL 繪製、參與專案改善

當周目標：更加熟悉 IC 設計規則、對策實施

第七周回到 IC 設計的部分，經過前幾個禮拜的學習與熟悉，對於 IC 設計也更加了解，也更熟悉運用 AutoCAD。繪製 RDL 佈線，遵照規則將 I/O PAD 連接到對應的 Bump 讓外包商更清楚。專案的部分對於之前擬定的對策進行實施。

第八週

工作內容：FT 測試、RDL Layout 檢查，蓋印測試規範 1:1 圖繪製、參與專案改善

當周目標：所有所學統整複習、完成專案改善

第八周前兩天到實驗室做 FT 測試，測試 IC，將良品、不良品做分類。前幾個繪製 Wire bond pad 的產品，外包商將 RDL 線路布置完成，對此 Layout 進行檢查，檢查 I/O Pad 與 WB Pad 是否連接正確，與基板打線是否順暢，power ground 是否有串聯，RDL 佈線是否有符合設計規則等。對公司的蓋印規則繪製原比例圖，方便公司了解蓋印後的真實狀況。專案部份，對於改善過後的產品進行效果確認，完成改善。

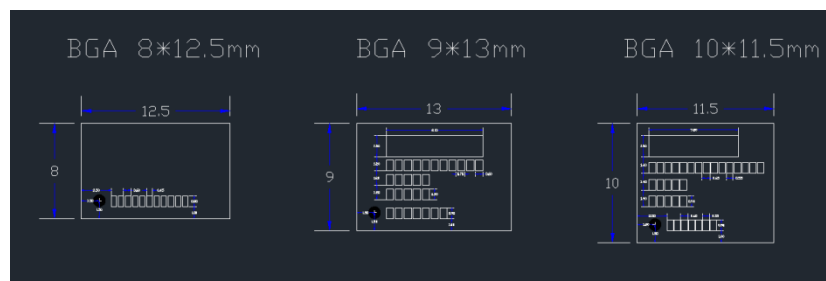


圖 15 蓋印規範

第九周

工作內容：WLCSP RDL 繪製、封裝圖繪製、參與專案改善

當周目標：所有所學統整復習、完成專案改善並檢查

最後一周，繪製 WLCSP RDL，嘗試各個方位繪製，找到最佳的配置方法，並且依照實際比例繪製封裝圖，專案部分進行結論撰寫，再次進行確認。

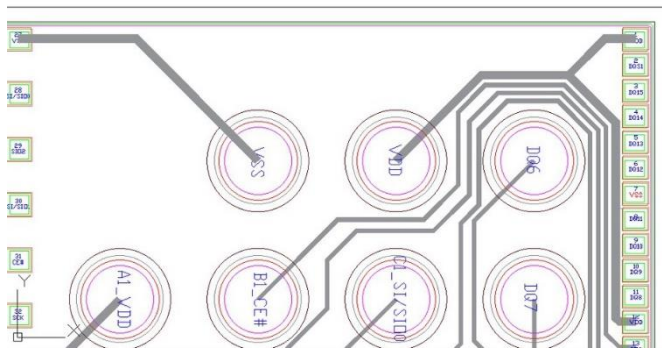


圖 16 RDL Layout

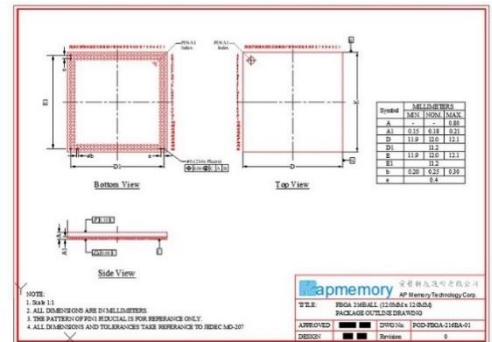


圖 17 封裝圖

肆、 主題選定

王健網經理所給予的主題為 F63_128M_C6x2_FBGA49b (4x4x0.8mm) 產品印碼髒污問題，每個 IC 都有個識別的方式，那就是 IC 的蓋印，蓋印也象徵著品牌，是一種無形的公司形象。蓋印中包含許多重要的資訊，可用來追溯產品批號、產品型號、生產工廠、生產時間等等，雖然蓋印不良不會影響產品品質與功能，但如果不清楚或者不正確就無法識別此 IC 的身份，當然後續也無法正確的使用。當生產線異常發生時，還可以利用蓋印的資訊追查生產的機台及設備，有效掌握異常批整個生產的程序，立即對於異常設備及機台做有效的防堵，以避免異常擴大發生，所以這對於公司而言除了避免不必要的浪費，也可以對於整個生產的掌握度更佳全面。

現在半導體產業已經進入微利時代，公司除了須要提升技術能力與製程改善，對於降低成本、減少不必要的生產報廢，也是公司努力的目標。此次專案希望能運用 IE 手法從根本找出問題，並進行改善，經理希望我們除了參與改善此球腳陣列封裝產品的蓋印不良問題、降低不必要的報廢，也能特過這次專案更深入熟悉 IC 的製程。



圖 18 印碼髒污



圖 19 印碼髒污

伍、 專案計畫

本專案預計花費六周的時間，主要目的是找出導致印碼髒污原因且進行改善。藍色線為計畫線，紅色線為實際執行線。

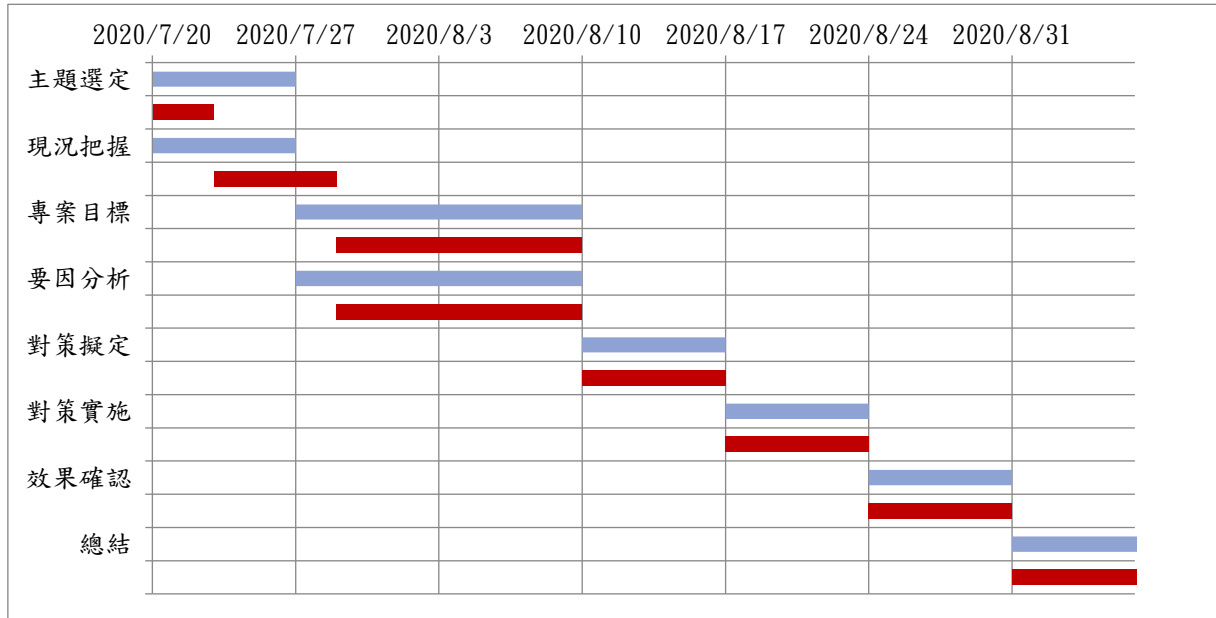


圖 20 甘特圖

可以透過上圖發現在第一周主題選定的實際執行線少於計畫線，現況把握實際執行線超於計畫線，主因是剛好在參與專案改善，主題選定的很快速，但是剛接觸半導體行業，多花了一些時間在了解專案，因此現況把握花了較多時間，也導致第二周工作延遲開始。

陸、 現狀把握

6-1 5W1H

(Who) 何人的產品：AP Memory

(What) 哪項產品：F63_128M_C6x2_FBGA49b(4x4x0.8mm)

(Where) 在哪裡發現問題：封測廠 FT site

(Why) 為何需要改善：印碼顏色不一，有粉塵髒污，未達公司設定的外觀規範

(When) 何時進行改善：暑期實習期間

(How) 如何進行改善：運用品管七大手法加以分析改善



圖 21 印碼髒污



圖 22 印碼髒污



圖 23 印碼髒污

Smudges	
10)變色 Discoloration	(1)同一批的材料有不同明暗或顏色的蓋印，不得有。 Reject if the different brightness or color of marking in one lot.

圖 24 公司外觀規範

6-2 IC 封裝製程

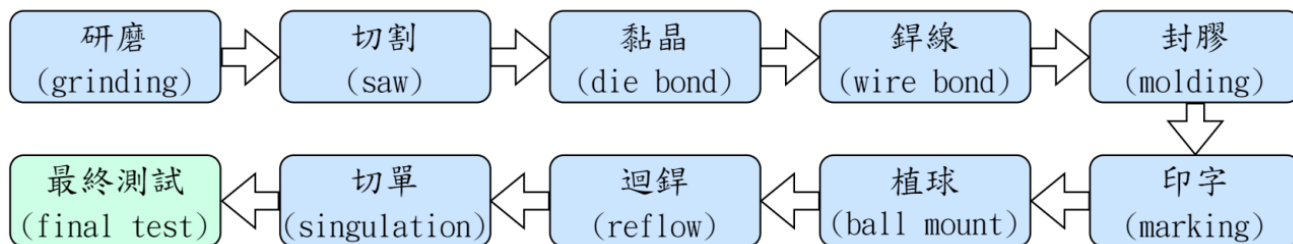


圖 25 IC 封裝製程

- 研磨 (grinding)：

製程：覆蓋保護層→背面研磨→背面蓋金屬層→移除保護層

主要目的是將晶圓研磨至所需厚度再進行封裝，晶圓研磨時標面先行貼附研磨膠帶，保護晶圓表面的積體電路不會因研磨時造成傷害。



圖 26 Wafer 研磨

- 切割 (saw)：

製程：晶圓固定在框架上→切割成晶粒→清洗→顯微鏡檢查晶粒是否有崩壞

晶片切割之目的是要將晶片上一顆顆晶粒 (Die) 切割分離。首先在晶片背面貼上膠膜 (Blue Tape) 並置於鋼製之框架上，此一動作叫晶圓黏片 (Wafer Mount)。而後再送至切割機上進行切割。切割完後，一顆顆之晶粒井然有序的排列黏著在膠膜上，

同時由於框架之支撐可避免膠膜皺摺而使晶粒互相碰撞，而框架撐住膠帶以便於搬運。



圖 27 Wafer saw

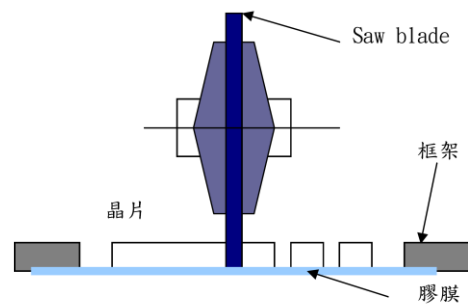


圖 28 Wafer saw 示意圖

- 黏晶 (die bond)：

製程：在晶粒座點上銀膠→真空吸嘴將晶粒放置其上→烘烤加熱完成黏接

黏晶的目的是將晶粒至於基板上並以環氧樹脂 (Epoxy) 黏著固定，黏晶完成後之基板則經由傳輸系統運送至彈匣 (Magazine) 內，再送至烤箱將環氧樹脂烤乾。

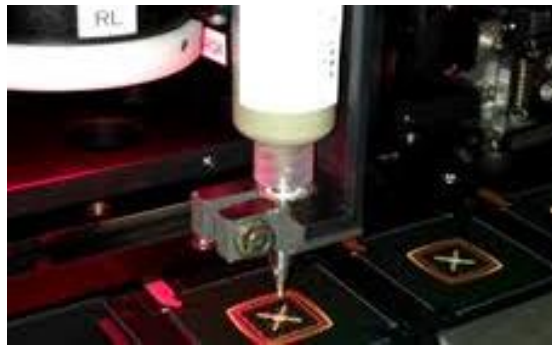


圖 29 Die bond

- 鐳線 (wire bond)：

製程：金屬線穿過瓷嘴通入電流熔化，金屬線在瓷嘴底部形成球形→瓷嘴 Bond Pad 下壓結合→瓷嘴提起移往第二鐳點下壓接合→瓷嘴上升回至工作位置原點，線鉗將金屬線拉起並將之扯斷→重複上述動作→上膠→烘烤

鐳線的目的是將晶粒上的接點以連接線連接到基板上之球位，藉而將 IC 晶粒之電路訊號傳輸到外界。

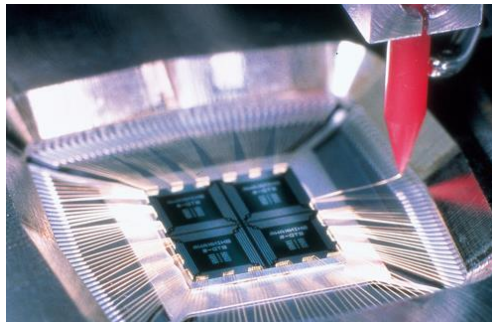


圖 30 Wire bond

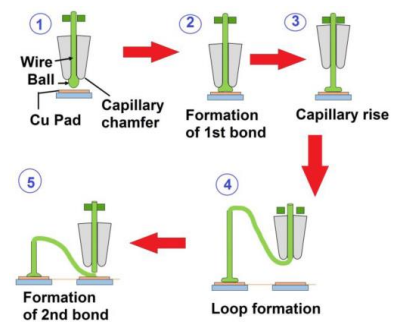


圖 31 Wire bond 示意圖

- Pre-mold Plasma cure/clean：

烘烤使濕氣去除後，利用電漿物理及化學雙特性清洗晶粒及基板表面，使 molding compound 附著良好，減少脫層發生。

- 封膠（molding）：

基板置放於框架上預熱→框架置於壓模機上的封裝模中→預熱好的樹脂投入封裝模穴上之進料口→壓模機壓下再將半溶化後之樹脂擠入模中→烘烤硬化

其目的是使鐳線好的晶粒有所保護，提供一個阻擋層抵抗化學材質與溼氣，確保 IC 晶片透過堅固的接腳與電路連接。

- 雷射蓋印（marking）：

印字是將字體印於壓模膠上，目的在於註明產品之規格、產品型號、製造者等資訊供日後使用辨別。

- 植球（ball mount）：

植球製程主要是將錫球（solder ball）植在基板背面的 I/O 接點上，再將 IC 連接使用介面上，藉由這些 I/O 接點進行資料處理及傳輸。

- 迴錫（reflow）：

植完球後經過迴錫爐，使錫球固定在基板上，與基板更加緊密接合。

- 切單（singulation）：

製程：產品至於切割盤上→切割→沖洗

切單製程與晶圓切割雷同，不同處是晶圓切割是切割晶圓上的 IC，切單製程是將壓模過後的產品利用切割方式將 IC 基板上切割下來。

- 最終檢測（Final test）：

製程：全功能檢測→植球檢測→最後外觀檢驗

全功能測試包括符合規格的完全測試與精密的時序參數測試等，以確保積體電路符合出廠標準。直球與外觀檢驗的項目包括球的共平面性、缺球、植球偏移、印字是否清晰及膠體是否有損傷等的外觀檢驗。

柒、專案目標

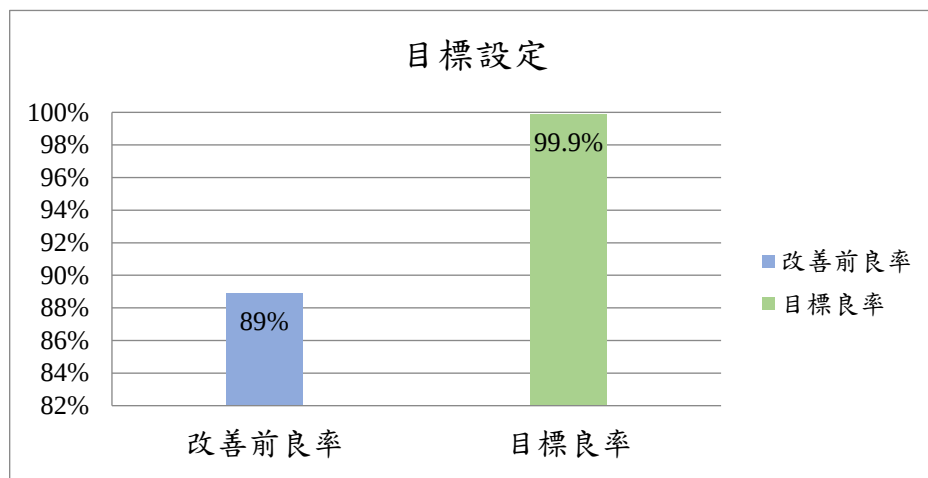
改善問題：F63-128M-C6x2-FBGA49b 印碼髒污

改善前平均良率：使用AOI加嚴參數檢出產品平均良率為89.88%

目標良率：良率高於 **99.90%**

改善目標：運用 IE 手法從根本找出問題，並進行改善，降低不必要的報廢

表 1 目標良率



捌、 要因分析

8-1 問題分析

1. 針對異常項目分析，白色部分可被擦拭去除，為外來汙染物
2. 初步分析為切單站切割時的粉屑堆積，造成印碼髒污現象

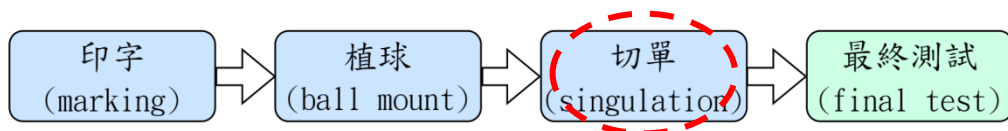


圖 32 可能異常站點

8-2 製程分析

8-2-1 生產歷程調查：

- 各站生產參數紀錄均無異常

表 2 生產紀錄表-1

站點	機台	參數	有無機台故障
雷射印字	BMRK013	PASS	無
高壓水洗	BHPW002	PASS	無
植球	BBAM002	PASS	無
切單	BSGL022	PASS	無
錫球檢測	BLSB002	PASS	無
	BFVI002	PASS	無
	BFVI005	PASS	無
	BFVI008	PASS	無
	BFVI009	PASS	無

8-2-2 再次驗證：

- 製作 Dummy Wafer 5 Strip (4050 ea)，切割後確認有 40(ea)字碼髒污，約 1%，呈隨機分布
- 實驗結果：確認異常為切單程序造成

表 3 生產紀錄表-2

站點	圖示	確認結果
雷射印字		ALL PASS
高壓水洗		ALL PASS
植球		ALL PASS
切單		NG 40/4050 (ea)

8-2-3 切單程序分析

- 切單程序

STEP 1：產品吸著

說明：將產品放置切割盤中，切割中切割盤會持續抽吸固定 IC

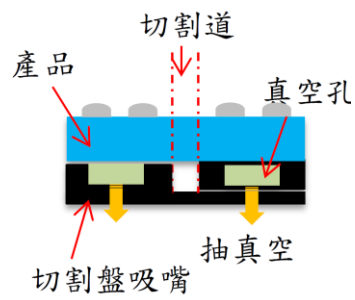


圖 33 產品吸著示意圖

STEP 2：產品對刀

說明：切割刀依切割道切割

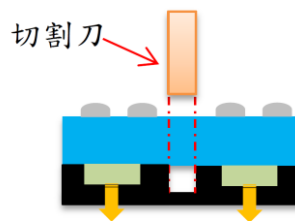


圖 34 對刀示意圖

STEP 3：產品切割

說明：切割刀切割時會產生切割的粉屑，作業中附著於產品上，如圖 35 所示；粉屑於切割過程中滲入吸嘴外圍，如圖 36 所示

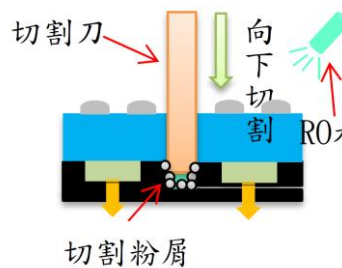


圖 35 產品切割示意圖

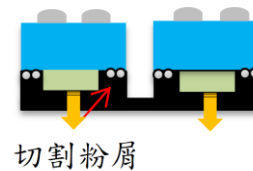


圖 36 粉屑滲入示意圖

STEP 4：產品清潔

說明：機台毛刷清除粉塵過程，無法完全清潔造成字體髒污

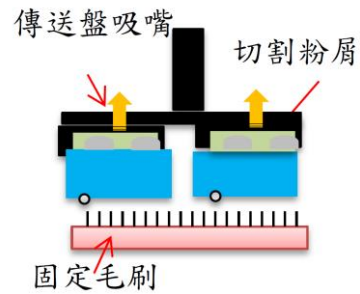


圖 37 產品清潔示意圖

8-2-4 切單作業異常分析

切割盤在作業中會持續抽吸固定 IC，因產品無完全平整，**基板產生翹曲**，**產品與治具無法完全密合**，切割時產生之粉屑會滲入吸嘴外圍區，後續於產品清潔區清潔膠體表面，未能完全清除粉塵，導致字碼髒污。

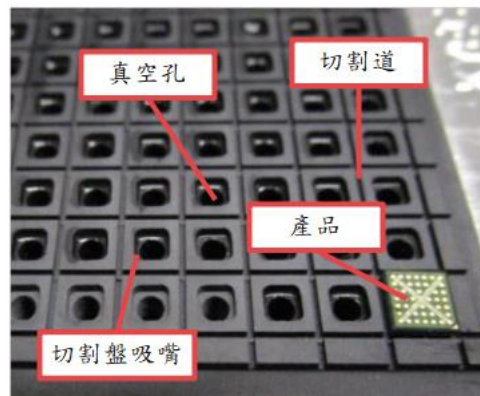


圖 38 切割盤

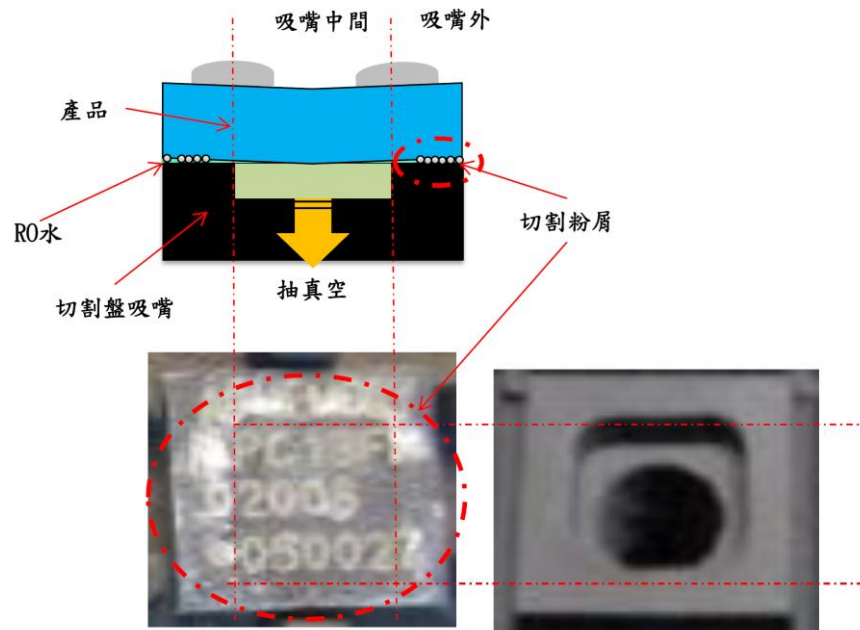


圖 39 產品翹曲示意圖

8-3 要因分析

製程分析發現因產品基板翹曲導致粉塵無法完全清除，因此針對為何產品基板會翹曲進行魚骨分析。

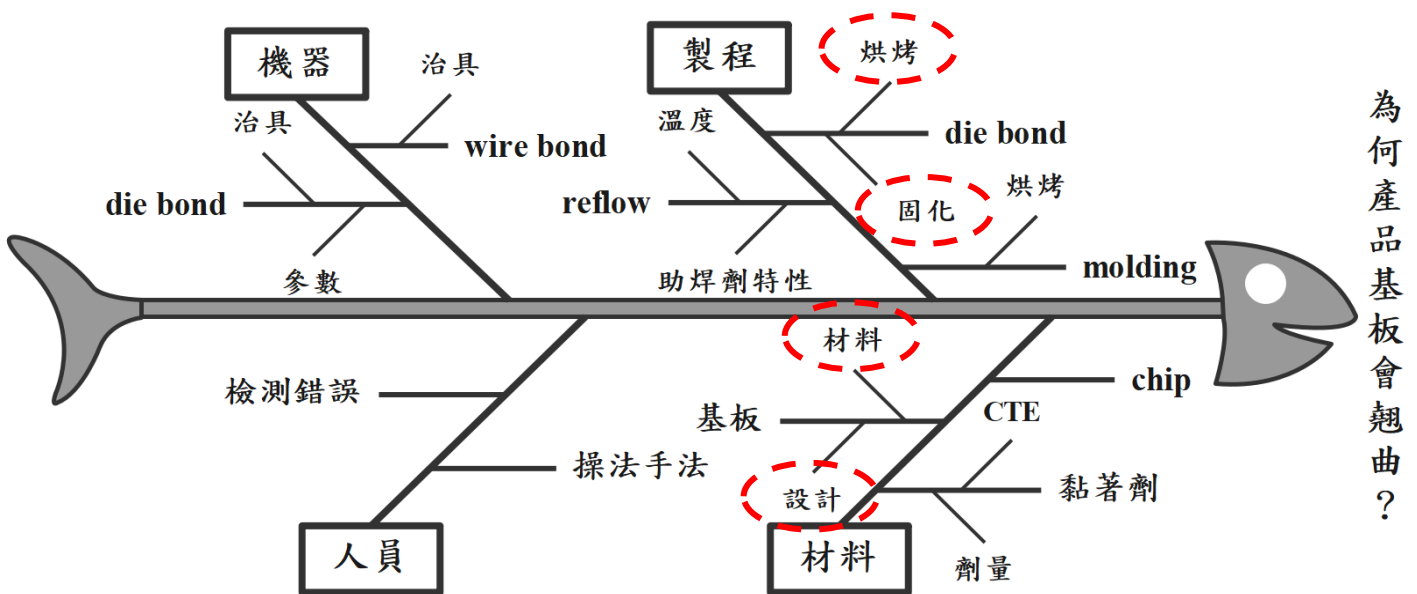


圖 40 魚骨圖

- 要因：基板設計

此產品的基板設計為 78x 240mm 且是一整個塊體(one block)，推測可能因為尺寸較大又為一個塊體，抑制熱應力的釋放，造成基板翹曲。

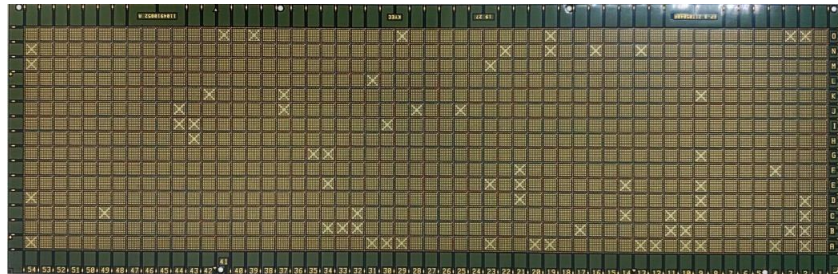


圖 41 基板(one block)

- 要因：基板材料

電路板最上層與最底層銅箔線路之上，會有一層綠漆(Solder mask)保護銅箔免於被氧化與不小心被焊錫沾到而影響電路板的功能，推測可能因為上下層綠漆或厚銅膨脹係數(CTE)不同，烘烤後造成基板翹曲。

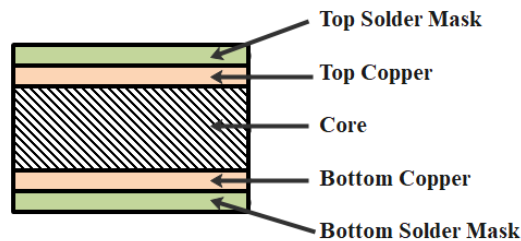


圖 42 基板材料示意圖

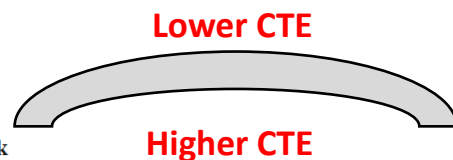


圖 43 CTE 導致基板翹曲示意圖

- 要因：die bond 製程的烘烤及固化

黏膠通常須經過烤箱 150°C之溫度烘烤一個半小時至兩個小時，晶片才能牢固的黏著在晶粒座上，烘烤完成之黏晶基板取出後，因置放室溫下，等待進行下一步驟，所以黏晶基板會逐漸降溫冷卻，推測可能因為基板材料特性或 die bond 黏膠膨脹係數的差異，在過程中熱膨脹和冷收縮，導致基板產生翹曲。

8-4 真因驗證

$[(\text{改善後數據} - \text{改善前數據}) \div \text{改善前數據}] \times 100\% > \pm 20\%$ ，為真因

$[(\text{改善後數據} - \text{改善前數據}) \div \text{改善前數據}] \times 100\% < \pm 20\%$ ，為偽真因

● 要因：基板設計

改善對策：改變基板大小，縮小尺寸，或在上面增加孔洞，不再是一個大塊體，使熱應力較能釋放。

實施結果：主管表示因切割盤要配合基板進行開發，原切割盤已開發製作，如需重新開發太耗費成本，因此此對策不可行。

● 要因：基板的材料

改善對策：調整基板上下層的材料量，使 CTE(膨脹係數)達到平衡。

1. 實施結果：原始基板在 PPC(Pre-mold plasma cure)後翹曲數值為(0,5.5)，調整材料量後為調整材料量後為 (0,4)，

$(4 - 5.5) \div 5.5 \times 100\% = (-27)\%$ ， $(-27)\% > \pm 20\%$ 確認為真因

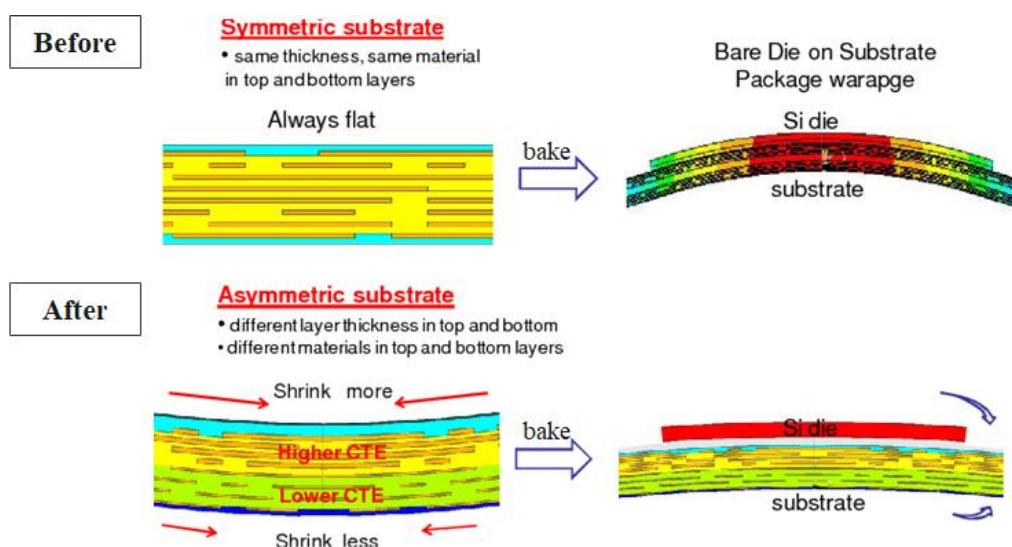


圖 44 改善對策示意圖

(取基板翹曲最嚴重站點為量測依據，詳細資料為公司機密無法提供)

表 4 烘烤後基板翹曲變化

	原始基板	改善後
量測數據 (長邊,短邊)	(0,5.5)	(0,4)

- 要因：die bond 製程的烘烤及固化

改善對策：現在基板呈現凸翹曲，因此使基板顛倒烘烤，觀察變化，如圖所示

實施結果：主管表示此對策不利於生產，因此並未實施

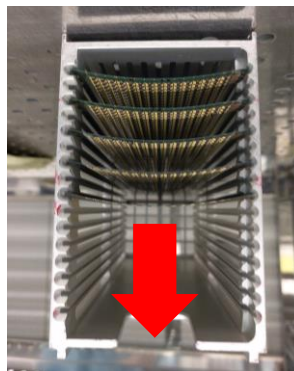


圖 45 基板顛倒烘烤

玖、 對策擬定

問題：上述分析發現基板翹曲導致切單時造成印碼髒污，因此針對**為什麼產品基板會翹曲**，來擬定改善方案

要因分析：基板材料

改善方案：在要因分析時，發現基板材料為影響基板翹曲的真因，且改善成本最低，也方便製程，另外綠漆膨脹係數又為最大，因此擬定以下改善方案

1. 調整基板上下層的材料量，使 CTE（膨脹係數）達到平衡
2. 設計基板時設計開孔使綠漆露出，減少綠漆量
 - (1) 在切割道內開孔如圖所示
 - (2) 在切割道上開孔如圖所示

表 5 基板材料 CTE 表

Material	CTE (ppm/°C)
Core	35
Copper	17
Solder Mask	60/130

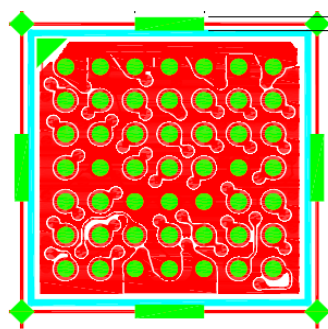


圖 46 原始基板

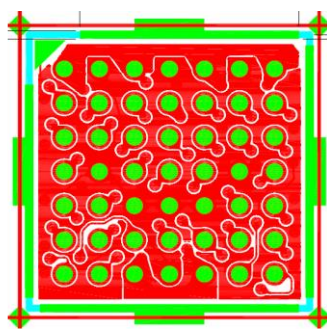


圖 47 改善基板-1

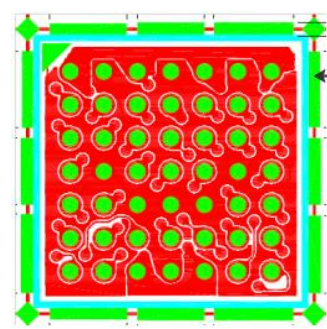


圖 48 改善基板-2

Solder Mask

壹拾、對策實施

利用 PDCA 循環進行對策實施

1. PLAN

要因：基板材料

改善前：基板翹曲最嚴重之站點長邊、短邊為(0,5.5)

改善對策：調整基板上下層的材料量，使 CTE(膨脹係數)達到平衡

DO

改善地點：外包封測工廠

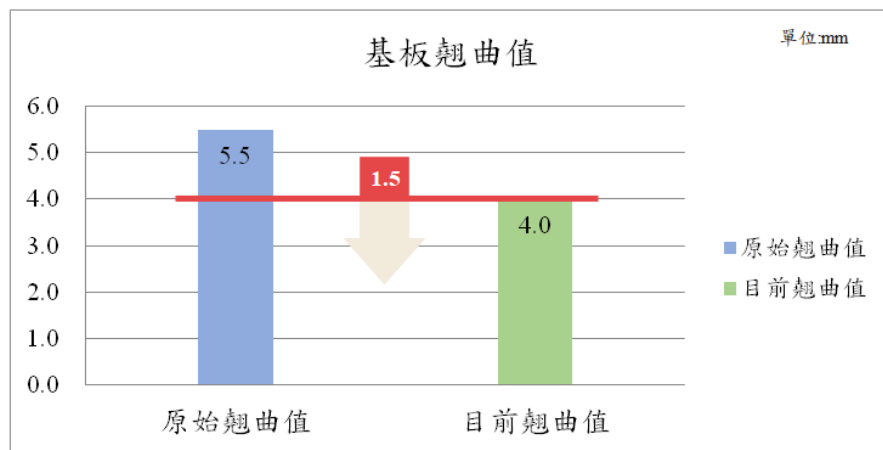
改善日期：2020.08

實施經過：調整上下層綠漆與銅的量，找到膨脹係數的平衡點

CHECK

實施結果：基板翹曲最嚴重之站點，調整後基板長邊、短邊值為 (0,4)，比原始翹曲值 (0,5.5) 下降了 1.5

表 6 基板翹曲比較表



ACT

標準作業：相同的材料、尺寸、機器、環境做改善與測試

2. PLAN

要因：基板材料

改善前：基板翹曲最嚴重之站點長邊、短邊為(0,5.5)

改善對策：設計基板時設計綠漆開孔使綠漆露出，減少綠漆量

(1) 在切割道內開孔

(2) 在切割道上開孔

DO

改善地點：外包封測工廠

改善日期：2020.08

實施經過：基板設計時設計開孔使綠漆露出，顯影時露出的綠漆會消失，使綠漆量減少，降低膨脹係數

(1) 在切割道內設計開孔

(2) 在切割道上設計開孔

CHECK

實施結果：

(1) 雖然確實降低基板翹曲值，但是由於開孔設計在切割道內，導致綠漆顯影消失後的基板，Core 材露出未受到綠漆保護且與原始基板外觀不同，固不能採用

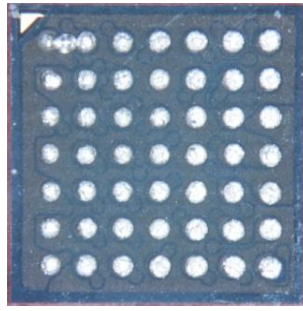


圖 49 原始基板

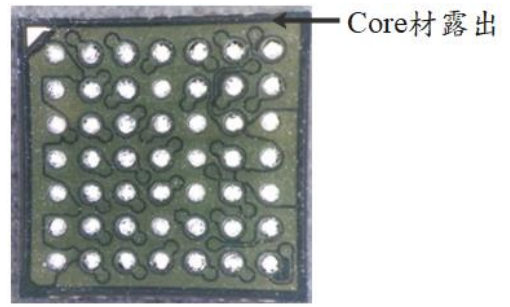
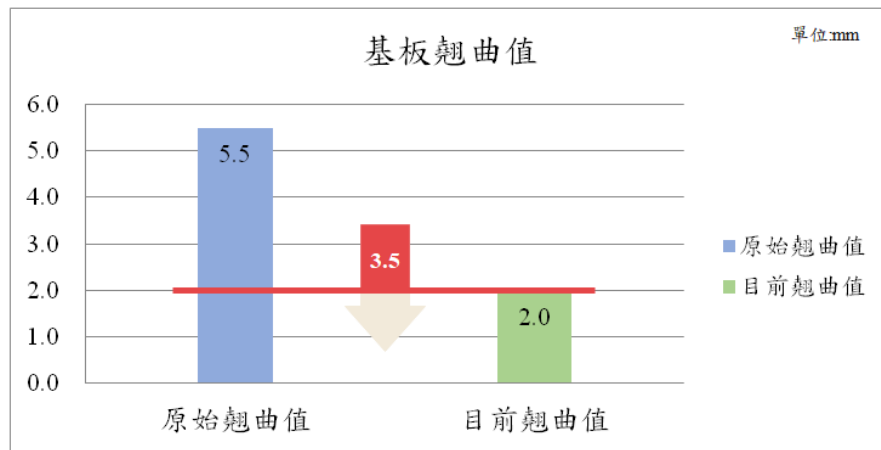


圖 50 改善基板(1)

- (2) 基板翹曲最嚴重之站點，調整後基板長邊、短邊值為(0,2)，比原始翹曲值(0,5.5)下降了 3.5

表 7 基板翹曲比較表



ACT

標準作業：相同的材料、尺寸、機器、環境做改善與測試

壹拾壹、 效果確認

基板翹曲導致切單時粉塵進入無法徹底清洗造成印碼髒污，因此先針對基板翹曲改善進行效果確認，取最佳方案之基板進行封裝，再對裝後產品進行檢測，得到改善後的產品良率進行效果確認。

改善前 F63-128M-C6x2-FBGA49 AOI 檢測平均良率：89%

改善前基板翹曲最嚴重之站點平均值：(0,5.5)

- 進步率%=[(改善後數據－改善前數據) ÷ 改善前數據] × 100%
- 達成率%= [(改善後數據－改善前數據) ÷ (目標值－改善前數據)] × 100%

11-1 基板翹曲問題

改善方案：調整基板上下層的材料量，使 CTE(膨脹係數)達到平衡

改善結果：基板翹曲最嚴重之站點，調整後基板長邊、短邊值為 (0,4)

進步率：[(4－5.5) ÷ 5.5] × 100% = (－27.2) %，翹曲值下降了 27.2%

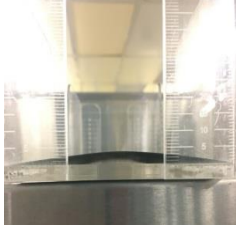
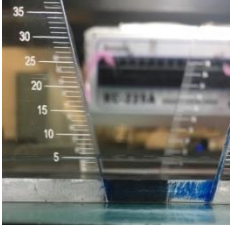
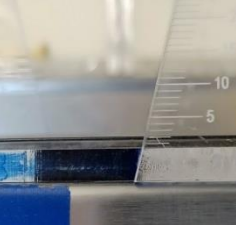
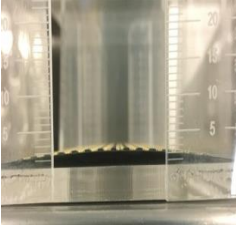
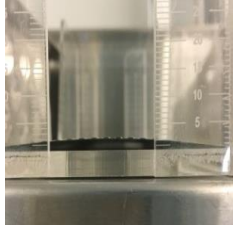
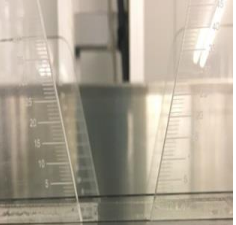
改善方案：設計基板時在切割 到上設計綠漆開孔使綠漆露出，減少綠漆量

改善結果：基板翹曲最嚴重之站點，調整後基板長邊、短邊值為 (0,2)

進步率：[(2－5.5) ÷ 5.5] × 100% = (－63.6) %，翹曲值下降了 63.6%

- 基板翹曲改善方案二成效最佳，各站點翹曲值如表所示

表 8 各站點翹曲值變化

SBT	Die bond 後	PPC 後	Molding 後	PMC 後
(長邊,短邊)	(0,5)	(0,5.5)	(5,0)	(2,0)
原始基板				
(長邊,短邊)	(0,2)	(0,2)	(3,0)	(2,0)
方案二基板				

11-2 印碼髒汙問題

基板改善方案，方案二為最佳，因此採用方案二改善後的基板進行封裝與檢測，最後 AOI 檢測平均良率為 **99.98%**，比改善前良率 89% 增加了 10.98%，且大於目標良率，達成目標也成功解決印碼髒汙問題。

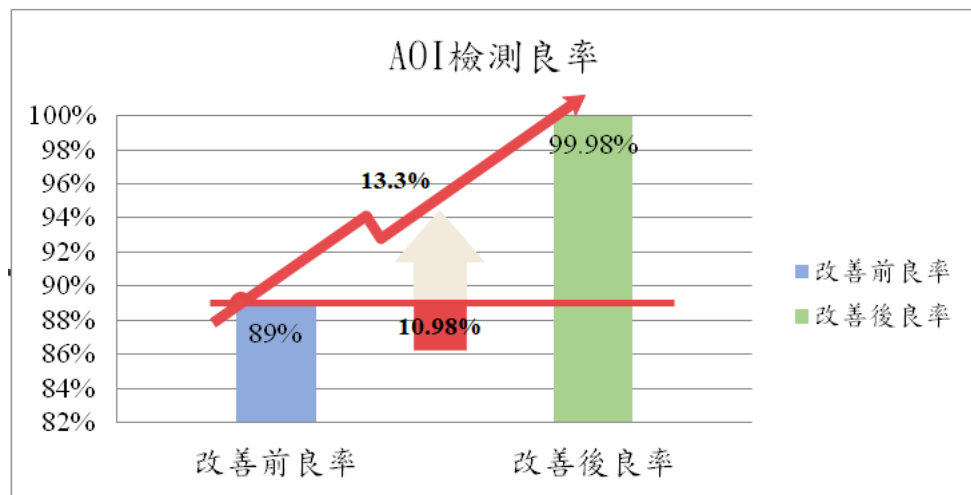
進步率： $[(99.98 - 89) \div 89] \times 100\% = 12.3\%$

達成率% = $[(99.98 - 89) \div (99.9 - 89)] \times 100\% = 100.7\%$

表 9 產品驗證

驗證項目	原始產品	改善後產品
圖示		
確認結果	NG	PASS

表 10 良率比較表



壹拾貳、 結論

首先分析 IC 製程發現導致印碼髒污原因為切單時產生的粉塵，由於基板翹曲導致粉塵無法完全被清洗，而分析造成基板翹曲的原因又發現當初基板材料與形狀設計考慮不周，未計算好熱應力釋放與各材料的膨脹係數，對策實施結果找出最佳改善方案為，在基板切割道上開孔使綠漆露出，顯影時綠漆會消失，減少綠漆量以降低膨脹係數，最終改善後產品以 AOI 光學檢測得出平均良率為 99.98%，高於目標值 99.9%，且比原始良率 89%增加了 10.98%，進步率為 12.3%，目標達成率為 100.7%，愛普公司 F63_128M_C6x2_FPGA49b (4x4x0.8mm) 產品印碼髒污問題改善成功。

壹拾參、實習心得與感想

13-1 專業成長

因為愛普是一家 IC 設計公司，我所待的兩個部門又剛好是負責設計、封裝與測試，我很幸運的能學習到關於 IC 製造的全部製程，從 IC 內部的材料、設計原理、設計規則到封裝技術、封裝型態，最後到測試部分，其中包括許多細節，例如同樣是 Flip chip 的接腳，還會分成 LFB 或 CPB 等，材料運用也不同，都是真正進入公司才能學習到的知識，也在完成工作的過程，學習到了做事的方法與技巧，怎樣能更快速完成工作，如何讓別人快速明白自己想表達的東西等，都是在工作的過程中體悟到的，還有也增進了 Excel 的能力，一直知道 Excel 是未來上班很常會用到的工具，但是並不怎麼熟悉，經過實習更認識了 Excel，學習到了許多功能，受益良多。另外我很喜歡圖學，自己考了 AutoCAD 證照，也是因為這樣被分配到了這個部門，之前的我都只知道指令，沒有實際運用過，藉由這次實習對於 AutoCAD 也更加上手，更熟悉每個指令的運用。

再實習中學習到很多，每個對說都是很寶貴的知識，也發現了自己對於這方面的興趣，實習完後也會督促自己要定時複習，時常閱讀文章，或是選修相關課程，不斷精進自己並且將所學融會貫通。

13-2 感想

剛進公司的我蠻慌張的，之前從來沒有接觸過半導體產業，連最基本的半導體概念都沒有，負責的部門又是生產工程部，跟我們平常在學校所學差異較大，主管們講的許多專有名詞都聽不懂，因為不了解，工作做起來總覺得力不從心無從下手。還好遇到了很有耐心的姐姐，慢慢帶著我，從頭學起，交代我的工作都會先讓我了解其中

的製程，並且都會配合範例或圖片讓我更好理解，就這樣我慢慢開始熟悉半導體產業，工作也越來越得心應手，從一開始無從下手，到後來被主管誇讚動作迅速，還問我是不是去時光屋走了一遭，也能跟姐姐一起討論專案怎麼解決、設計，真的很有成就感。

覺得自己非常幸運能在愛普實習，短短兩個月收穫巨大，每天都在學習新東西，都是平常不可能接觸到的，而且公司每個人都超級和善，沒有階級制的壓力，真的如他們當初介紹所說，公司辦公室沒有隔間，每個人位置都一樣大，對於同事、主管都叫英文名就好，希望大家都是同階層，主管們交代工作也不會用命令的，而都是說希望我們幫忙，還怕我們累著，真的很可愛，還記得剛進公司的時候稍微晚一點下班就被主管叫去，說不要加班!來這邊開心，當夏令營就好，印象很深刻，最幸運的還是遇到姐姐，總是盡可能的教我想辦法讓我接觸到關於 IC 設計的每個部份，每天都會來教我新的知識、關心我、想辦法解決我的每個疑問，真的很感動。這次實習，了解了半導體產業，提前體驗了上班族生活，對本來迷茫的未來也有了一點方向，也對學習燃起更大的渴望，最重要的是，養成了自己做事的方法，而且明白了舉一反三的道理，並不是人家交代一件事做一件，而是懂得自行思考，怎樣能做得更好，可能還會需要什麼，這是我進入公司最大的收穫，非常感謝有這次機會，此次經驗將成為我成長過程中非常重要的養分。